

(11)特許出願公開番号

(43)公開日 平成11年(1999)3月30日

審査請求 未請求 請求項の数6 OL (全 8 頁) 最終頁に続く

(74)代理人 弁理士 大胡 典夫 (外1名)

16:液晶表示装置	17:約30mmTFT	18:7H基板
19:対向基板	21:液晶表示部	2k:中層膜層
2ka:7H領域	2kb,2kc:LDD領域	2kd:ソース領域
2ke:ドレイ領域	27:ゲート配線層	

【特許請求の範囲】

【請求項1】 絶縁性基板と、この絶縁性基板上に形成されるポリシリコンからなり、チャネル領域及びこのチャネル領域を挟み前記ポリシリコンを低抵抗化してなるソース・ドレイン領域並びに前記チャネル領域の両側にて前記チャネル領域と前記ソース・ドレイン領域との間に介在される低不純物濃度領域からなる半導体層と、ゲート絶縁膜を介し前記チャネル領域上に形成されアルミニウム(A1)を主成分とする第1の導電層及び、この第1の導電層に積層される第2の導電層並びに、前記低不純物濃度領域上に形成され、前記第1及び第2の導電層の側面を被覆する第3の導電層からなるゲート配線層と、このゲート配線層上方にて前記絶縁性基板を被覆する層間絶縁膜層と、前記ゲート絶縁膜層及び前記層間絶縁膜層に形成される開口部を介し前記ソース・ドレイン領域に接続されるソース・ドレイン配線層とを具備する事を特徴とする薄膜トランジスタ装置。

【請求項2】 第2及び第3の導電層を、クロム(Cr)、モリブデン(Mo)、タングステン(W)、チタン(Ti)、タンタル(Ta)の内の少なくとも1つの金属を含む金属材料にて構成する事を特徴とする請求項1に記載の薄膜トランジスタ装置。

【請求項3】 絶縁性基板上に島状のポリシリコン層を形成する工程と、このポリシリコン層上方にて前記絶縁性基板上にゲート絶縁膜層を成膜する工程と、このゲート絶縁膜層を介し前記ポリシリコン層上方に第1の導電膜及び第2の導電膜を連続成膜する工程と、前記第1及び第2の導電膜を同時にパターン形成し第1の導電層及び第2の導電層を形成する工程と、この第1及び第2の導電層をマスクに前記ポリシリコン層にイオンドーピングし低不純物濃度領域を形成する工程と、この低不純物濃度領域を形成する工程終了後前記第1及び前記第2の導電層上に第3の導電膜を成膜する工程と、この第3の導電膜を異方的に加工して前記第1及び第2の導電層の側面のみを被覆する第3の導電層を形成する工程と、前記第1及び第2並びに第3の導電層をマスクにして前記ポリシリコン層にイオンドーピングしてソース・ドレイン領域を形成する工程とを具備する事を特徴とする薄膜トランジスタ装置の製造方法。

【請求項4】 第1の導電膜をアルミニウム(A1)を主成分とする金属にて構成し、第2及び第3の導電膜をクロム(Cr)、モリブデン(Mo)、タングステン(W)、チタン(Ti)、タンタル(Ta)の内の少なくとも1つの金属を含む金属材料にて構成する事を特徴とする請求項3に記載の薄膜トランジスタ装置の製造方法。

【請求項5】 絶縁性基板と、この絶縁性基板上に配置される第1の配線層と、この第1の配線層と交差するよう配線される第2の配線層と、前記第1及び第2の配線層の間にマトリクス状に配列される画素電極と、前記第

1及び第2の配線層の交点に配列され前記画素電極に接続されるスイッチング素子とを有し、対向電極を有する対向基板との間に液晶組成物を挟持することにより液晶表示装置を構成する液晶表示装置用アレイ基板において、

前記第1の配線層あるいは前記第2の配線層の内の少なくとも一方を、アルミニウム(A1)を主成分とする第1の導電層及び、この第1の導電層に積層される第2の導電層並びに、前記第1及び第2の導電層の側面を被覆する第3の導電層にて構成する事を特徴とする液晶表示装置用アレイ基板。

【請求項6】 絶縁性基板と、この絶縁性基板上に配置される走査線層と、この走査線層と交差するよう配線される信号線層と、前記走査線層及び前記信号線層の間にマトリクス状に配列される画素電極と、前記走査線層及び前記信号線層の交点に配列されポリシリコンからなるチャネル領域及びこのチャネル領域を挟み前記ポリシリコンを低抵抗化してなるソース・ドレイン領域並びに前記チャネル領域の両側にて前記チャネル領域及び前記ソース・ドレイン領域の間に介在される低不純物濃度領域からなる半導体層と、ゲート絶縁膜を介し前記チャネル領域上に形成され前記走査線と一体的に形成されるゲート配線層と、このゲート配線層上方にて前記絶縁性基板を被覆する層間絶縁膜層と、前記ゲート絶縁膜層及び前記層間絶縁膜層に形成される開口部を介し前記ソース領域及び前記画素電極間を接続するソース配線層と、前記ゲート絶縁膜層及び前記層間絶縁膜層に形成される開口部を介し前記ドレイン領域及び前記信号線間を接続する前記信号線と一体的に形成されるドレイン配線層を有し前記画素電極を駆動する薄膜トランジスタ装置とを有し、

対向電極を有する対向基板との間に液晶組成物を挟持することにより液晶表示装置を構成する液晶表示装置用アレイ基板において、

少なくとも一体的に形成される前記走査線層及びゲート配線層を、アルミニウム(A1)を主成分とする第1の導電層及び、この第1の導電層に積層される第2の導電層並びに、前記第1及び第2の導電層の側面を被覆する第3の導電層にて構成する事を特徴とする液晶表示装置用アレイ基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ポリシリコン(P-Si)からなる半導体層を有する薄膜トランジスタ装置及び薄膜トランジスタ装置の製造方法並びにこの薄膜トランジスタ装置を用いてなる液晶表示装置用アレイ基板に関する。

【0002】

【従来の技術】液晶表示装置の駆動回路に用いる薄膜トランジスタ装置(以下TFTと略称する。)として、高

移動度であり、良好な半導体特性を有することから、従来ポリシリコン(P-Si)からなる半導体層を有するポリシリコンTFTが開発されている。

【0003】このポリシリコンTFTは、オン状態で比較的大きなドレイン電圧を与えられた場合、半導体層のチャネル領域と、その両側の、不純物を高濃度注入し低抵抗化してなる、ソース・ドレイン領域との接合部分に電界が集中しやすく、この電界により、加速されたキャリアであるホットエレクトロンやホットホールが発生されやすい。このホットエレクトロンやホットホールは、非常に高いエネルギーを持つため、半導体層及びゲート配線層間を絶縁するゲート絶縁膜内部に侵入して蓄積される場合があり、ポリシリコンTFTのしきい値電圧を変動させ、その安定な動作を妨げたり、あるいはアバランシェ降下を起こしゲート絶縁膜やソース・ドレイン領域を破壊する等、ポリシリコンTFTの信頼性、耐久性を低下させるおそれを有していた。

【0004】そこでこのようなポリシリコンTFTの信頼性及び耐久性を向上し良好な特性を得るため、一般に、チャネル領域及びソース・ドレイン領域との間に、ソース・ドレイン領域よりも不純物濃度が低く、チャネル領域とソース・ドレイン領域の中間の抵抗値を有する低不純物濃度領域(以下LDD領域と略称する。)を形成し、チャネル領域及びソース・ドレイン領域との接合部分での電界集中を緩和し、ホットエレクトロンやホットホールの発生を防止するポリシリコンTFTが開発されている。

【0005】このLDD領域において、その長さであるLDD長は、特開平5-72555号公報に開示されるように、0.1~0.5 μ m程度が望ましいとされる。これはLDD領域は、不純物の濃度を、チャネル領域とソース・ドレイン領域の中間に設定する事が重要とされ、LDD領域を設けない場合に、チャネル領域とソース・ドレイン領域との接合部分に形成されるキャリアに対する接触障壁を低下させ、電界集中を緩和させるものである事から、LDD領域が断面方向に長いと、ポリシリコンTFTの直列抵抗成分を下げてしまうため、なるべく短い方が望ましいとされることによる。

【0006】具体的には特願平7-249835号公報に開示される様に、ソース・ドレイン領域の抵抗値は、ポリシリコンTFTのオン状態でのチャネル領域の抵抗値の2%以下である事が望ましい。このような抵抗値を得るには、ポリシリコンTFTそのものの電解効果移動度やサイズにもよるが、ポリシリコンTFTのオン状態でのチャネルの抵抗値は50k Ω 程度なので、ソース・ドレイン領域の抵抗値は、1k Ω 以下が良い。LDD領域の電気抵抗率が0.1 Ω m程度とすると、LDD長は0.5 μ m以下が望ましい。又LDD長の下限は、製造時のプロセスの安定性、再現性を考えると0.1 μ m以上が望ましい。

【0007】そしてLDD領域を有するポリシリコンTFTを得るため従来は、図4に示すように製造されていた。即ち、

①図4(イ)に示す様にガラス基板1上にアモルファスシリコン膜を積層し、レーザアニールにより、アモルファスシリコン膜をポリシリコン膜に結晶化し、マトリクス状にパターンニングしポリシリコン膜からなる半導体層3を形成する。

【0008】②図4(ロ)に示す様にゲート絶縁膜4、ゲート配線6を形成し、低ドーズにてリン(P+)イオンやホウ素(B+)イオン等の不純物をドーピングし半導体層3にチャネル領域3-1、LDD領域3-2を形成する。

【0009】③図4(ハ)に示す様に感光性レジストマスク7を形成し、高ドーズにてリン(P+)イオンやホウ素(B+)イオン等の不純物をドーピングし半導体層3にソース・ドレイン領域3-3を形成する。

【0010】④図4(ニ)に示す様にマスク7を除去し、層間絶縁膜8を形成する。

⑤図4(ホ)に示す様にコンタクトホール10a、10bを形成し、ソース電極12、ドレイン電極13を形成し、LDD領域を有するポリシリコンTFT14装置を完成していた。

【0012】

【発明が解決しようとする課題】しかしながら上記の様にレジストマスクを用いてLDD領域を形成する場合、現状のフォトリソグラフィ技術では、レジストマスク形成時の重ね合わせの精度が $\pm 2\mu$ m程度の誤差を生じ、LDD長が0.1~0.5 μ m程度が望ましいとされるにも拘わらず、ソース領域側とドレイン領域側とはLDD長が最大2 μ m程度異なる場合を生じ、このようなポリシリコンTFTでは、印可するドレイン電圧の極性により、トランジスタ特性が変わってしまい、液晶を安定に駆動出来ず、表示品位が劣化するという問題を生じていた。

【0013】一方液晶表示装置にあっては、の高精細且つ大表示画面の要求による大型化により、ポリシリコンTFTの配線層の配線抵抗が増大されると表示むらを生じる事から、配線層を低抵抗のアルミニウム(Al)で構成する装置の開発が進められている。しかしながらアルミニウム(Al)は腐食しやすく、又熱工程を経た場合にヒロックと呼ばれる凹凸が配線層周囲に生じ、配線間ショートを起こしやすいという問題を有している。そこで特開平6-120503号公報等に開示されるように配線層をアルミニウム(Al)膜と、アルミニウム(Al)を被覆するクロム(Cr)、モリブデン(Mo)、タングステン(W)、チタン(Ti)、タantal(Ta)あるいはこれらの合金からなる金属膜との積層構造にする事が提案されている。

【0014】そして従来このような配線層は、アルミニ

ウム(A1)膜からなる配線層をフォトリソグラフィ技術によりパターンニングした後、更に他の金属を成膜しフォトリソグラフィ技術によりパターンニングして形成していた。

【0015】しかしながら、現状のフォトリソグラフィ技術にあっては、アルミニウム(A1)からなる配線層を他の金属で完全に被覆するためには、アルミニウム(A1)配線層の線幅に比較して、他の金属の線幅を片側2 μ m程度以上大きくする必要があり、結果として配線幅が増大され、液晶表示装置の開口率を低下することとなり、表示品位を低下させるという問題を有していた。

【0016】そこで本発明は上記課題を除去するもので、LDD長を微細且つ高精度に制御可能にする事により、ポリシリコンLDDの駆動特性を安定化し、良好な表示品位を有する液晶表示装置を得ると共に、アルミニウム(A1)を主成分とする配線層の信頼性及び耐久性を高め、低抵抗の配線層を有するポリシリコンTFTの実用化を図る事により、表示むらの無い、良好な表示品位を有する液晶表示装置を得られる、薄膜トランジスタ装置及び薄膜トランジスタ装置の製造方法並びに液晶表示装置用アレイ基板を提供することを目的とする。

【0017】

【課題を解決するための手段】本発明は上記課題を解決するための第1の手段として、絶縁性基板と、この絶縁性基板上に形成されるポリシリコンからなり、チャンネル領域及びこのチャンネル領域を挟み前記ポリシリコンを低抵抗化してなるソース・ドレイン領域並びに前記チャンネル領域の両側にて前記チャンネル領域と前記ソース・ドレイン領域との間に介在される低不純物濃度領域からなる半導体層と、ゲート絶縁膜を介し前記チャンネル領域上に形成されアルミニウム(A1)を主成分とする第1の導電層及び、この第1の導電層に積層される第2の導電層並びに、前記低不純物濃度領域上に形成され、前記第1及び第2の導電層の側面を被覆する第3の導電層からなるゲート配線層と、このゲート配線層上方にて前記絶縁性基板を被覆する層間絶縁膜層と、前記ゲート絶縁膜層及び前記層間絶縁膜層に形成される開口部を介し前記ソース・ドレイン領域に接続されるソース・ドレイン配線層とを設けるものである。

【0018】又本発明は上記課題を解決するための第2の手段として、前記第1の手段において、第2及び第3の導電層を、クロム(Cr)、モリブデン(Mo)、タングステン(W)、チタン(Ti)、タンタル(Ta)の内の少なくとも1つの金属を含む金属材料にて構成するものである。

【0019】又本発明は上記課題を解決するための第3の手段として、絶縁性基板上に島状のポリシリコン層を形成する工程と、このポリシリコン層上方にて前記絶縁性基板上にゲート絶縁膜層を成膜する工程と、このゲ-

ト絶縁膜層を介し前記ポリシリコン層上方に第1の導電膜及び第2の導電膜を連続成膜する工程と、前記第1及び第2の導電膜を同時にパターン形成し第1の導電層及び第2の導電層を形成する工程と、この第1及び第2の導電層をマスクに前記ポリシリコン層にイオンドーピングし低不純物濃度領域を形成する工程と、この低不純物濃度領域を形成する工程終了後前記第1及び前記第2の導電層上に第3の導電膜を成膜する工程と、この第3の導電膜を異方的に加工して前記第1及び第2の導電層の側面のみを被覆する第3の導電層を形成する工程と、前記第1及び第2並びに第3の導電層をマスクにして前記ポリシリコン層にイオンドーピングしてソース・ドレイン領域を形成する工程とを実施する物である。

【0020】又本発明は上記課題を解決するための第4の手段として、前記第3の手段において、第1の導電膜をアルミニウム(A1)を主成分とする金属にて構成し、第2及び第3の導電膜をクロム(Cr)、モリブデン(Mo)、タングステン(W)、チタン(Ti)、タンタル(Ta)の内の少なくとも1つの金属を含む金属材料にて構成するものである。

【0021】又本発明は上記課題を解決するための第5の手段として、絶縁性基板と、この絶縁性基板上に配置される第1の配線層と、この第1の配線層と交差するよう配線される第2の配線層と、前記第1及び第2の配線層の間にマトリクス状に配列される画素電極と、前記第1及び第2の配線層の交点に配列され前記画素電極に接続されるスイッチング素子とを有し、対向電極を有する対向基板との間に液晶組成物を挟持することにより液晶表示装置を構成する液晶表示装置用アレイ基板において、前記第1の配線層あるいは前記第2の配線層の内の少なくとも一方を、アルミニウム(A1)を主成分とする第1の導電層及び、この第1の導電層に積層される第2の導電層並びに、前記第1及び第2の導電層の側面を被覆する第3の導電層にて構成するものである。

【0022】又本発明は上記課題を解決するための第6の手段として、絶縁性基板と、この絶縁性基板上に配置される走査線層と、この走査線層と交差するよう配線される信号線層と、前記走査線層及び前記信号線層の間にマトリクス状に配列される画素電極と、前記走査線層及び前記信号線層の交点に配列されポリシリコンからなるチャンネル領域及びこのチャンネル領域を挟み前記ポリシリコンを低抵抗化してなるソース・ドレイン領域並びに前記チャンネル領域の両側にて前記チャンネル領域及び前記ソース・ドレイン領域の間に介在される低不純物濃度領域からなる半導体層と、ゲート絶縁膜を介し前記チャンネル領域上に形成され前記走査線と一体的に形成されるゲート配線層と、このゲート配線層上方にて前記絶縁性基板を被覆する層間絶縁膜層と、前記ゲート絶縁膜層及び前記層間絶縁膜層に形成される開口部を介し前記ソース領域及び前記画素電極間を接続するソース配線層と、前記

ゲート絶縁膜層及び前記層間絶縁膜層に形成される開口部を介し前記ドレイン領域及び前記信号線間を接続する前記信号線と一体的に形成されるドレイン配線層を有し前記画素電極を駆動する薄膜トランジスタ装置とを有し、対向電極を有する対向基板との間に液晶組成物を挟持することにより液晶表示装置を構成する液晶表示装置用アレイ基板において、少なくとも一体的に形成される前記走査線層及びゲート配線層を、アルミニウム(A1)を主成分とする第1の導電層及び、この第1の導電層に積層される第2の導電層並びに、前記第1及び第2の導電層の側面を被覆する第3の導電層にて構成するものである。

【0023】上記構成により、ポリシリコンTFTにおいて、所望の微細且つ高精細なLDD長を容易に得る事ができ、ポリシリコンTFTの駆動の安定化を図れ良好な表示品位を得られる。又アルミニウム(A1)を主成分とする配線層のヒロックや腐食等を防止し、信頼性及び耐久性が高く且つ低抵抗の配線層の実用化を図れ、大型液晶表示装置への適用を図るものである。

【0024】

【発明の実施の形態】以下、本発明の実施の形態を図1乃至図3を参照して説明する。16は、アクティブマトリクス型の液晶表示装置であり、駆動素子の半導体層としてポリシリコンを用いるトップゲート型のポリシリコンTFT17を有するアレイ基板18及び対向基板19の間に、配向膜20a、20bを介して液晶組成物21を保持すると共に偏光板22a、22bを有している。

【0025】ここでアレイ基板18の、ガラスあるいは石英等からなる透明な絶縁基板23上には、ポリシリコンTFT17のポリシリコンからなるチャネル領域24a、低ドーズのリン(P+)イオンがドーピングされるLDD領域24b、24c、高ドーズのリン(P+)イオンがドーピングされるソース領域24d、ドレイン領域24eを有する半導体層24がパターン形成されている。

【0026】この半導体層24上には酸化シリコン膜(SiO₂)からなるゲート絶縁膜26を介し、アルミニウム(A1)からなる第1の導電層27a、チタン(Ti)からなる第2の導電層27b、タングステン(W)からなる第3の導電層27cで構成され、第1の配線層であり走査線(図示せず)と一体的に形成されるゲート配線層27が形成されている。更に酸化シリコン膜(SiO₂)からなる層間絶縁膜28を介して画素電極30が形成されている。

【0027】層間絶縁膜28上には、モリブデン/アルミニウム/モリブデン(Mo/Al/Mo)積層膜からなり、コンタクトホール31aを介しドレイン領域24eに接続され、走査線(図示せず)と直交する第2の配線層で有る信号線(図示せず)と一体的に形成されるドレイン配線層32が形成され、更にモリブデン/アルミ

ニウム/モリブデン(Mo/Al/Mo)積層膜からなり、コンタクトホール31bを介しソース領域24d及び画素電極30間を接続するソース配線層33が形成されている。又34は保護膜である。

【0028】一方対向基板19は、ガラスあるいは石英等からなる透明な絶縁基板36の全面に対向電極37及び保護膜38を有し、アレイ基板18との間に液晶組成物21を封入し、液晶表示装置16を構成している。

【0029】次にポリシリコンTFT17の製造方法について述べる。

【0030】(1)図3(イ)に示す様に絶縁基板23上にプラズマCVD法により厚さ30~100nmの非晶質シリコン(a-Si)を成膜した後、エキシマレーザアニール法により活性化し、ポリシリコン(P-Si)を形成し、更にフォトリソグラフィ工程により半導体層24をマトリクス状にパターニングする。

【0031】(2)(ロ)に示す様にプラズマCVD法により酸化シリコン膜(SiO₂)を厚さ100nm成膜しゲート絶縁膜26を形成する。

【0032】(3)(ハ)に示す様にスパッタリング法によりアルミニウム(A1)からなる第1の導電膜41を400nm、更にチタン(Ti)からなる第2の導電膜42を50nm連続成膜する。

【0033】(4)図3(ニ)に示す様にフォトリソグラフィ工程により第1及び第2の導電膜41、42をパターニングし第1及び第2の導電層27a、27bを形成する。

【0034】(5)図3(ホ)に示す様に第1及び第2の導電層27a、27bをマスクとしたイオン注入法により、半導体層24に低ドーズにてリン(P+)イオンあるいはホウ素(B+)イオンをドーピングし、LDD領域24b、24cを形成する。

【0035】(6)図3(ヘ)に示す様にスパッタリング法によりタングステン(W)からなる第3の導電膜43を水平面で500nmとなるよう成膜する。一般的なスパッタリング法では、水平面に比し垂直面では成膜厚が薄くなり、垂直面への成膜厚は条件により異なるが、この時の第1及び第2の導電層27a、27bの側面に成膜される第3の導電膜43の厚さは300nmとなり、この第3の導電膜43の垂直面の厚さがLDD長を決定する。

【0036】(7)図3(ト)に示す様に第3の導電膜43をトリフルオロプロモメタン/酸素(CF₃Br/O₂)を用いるリアクティブイオンエッチング法により形成する。このトリフルオロプロモメタン/酸素(CF₃Br/O₂)を用いると、側面部にはプラズマ重合によるポリマーが堆積するためエッチングが妨げられエッチング形状は異方的となる。これにより、第1及び第2の導電層27a、27bの側面のみにタングステン

(W)からなる第3の導電層27cを残す事が出来る。

これら第1乃至第3の導電層27a~27cによりゲート配線層27が形成される。

【0037】(8)図3(チ)に示す様に第1乃至第3の導電層27a~27cをマスクとしたイオン注入法により、半導体層24に高ドーズにてリン(P+)イオンあるいはホウ素(B+)イオンをドーピングし、ソース・ドレイン領域24d、24eを形成する。これにより断面方向で第3の導電層27cの幅である、0.3 μ mのLDD長が高精度に規定され、長さの揃った微細なLDD構造の半導体層24が形成される。

【0038】(9)図3(リ)に示す様にプラズマCVD法により酸化シリコン膜(SiO₂)を厚さ500nm成膜し層間絶縁膜28を形成する。

【0039】(10)図3(ヌ)に示す様にHF(フッ化水素酸)系エッチャントを用いたエッチングによりコンタクトホール31a、31bを形成する。この時、ゲート配線層27のアルミニウム(Al)からなる第1の導電層27aは、第2及び第3の導電層27b、27cのチタン(Ti)、タングステン(W)に覆われており、エッチングによる腐食を防止される。

【0040】(11)図3(ル)に示す様にスパッタリング法により、インジウム錫酸化物(以下ITOと略称する。)を厚さ100nm成膜し、フォトリソグラフィ工程により画素電極30をパターン形成する。

【0041】(12)図3(ヲ)に示す様にスパッタリング法によりモリブデン/アルミニウム/モリブデン(Mo/Al/Mo)積層膜を50nm/500nm/50nm連続成膜し、フォトリソグラフィ工程によりソース配線層33及び、図示しない信号線と一体的に形成されるドレイン配線層32をパターン形成し、ポリシリコンTFT17を完成する。

【0042】この様に構成すれば、半導体層24のLDD領域24b、24cのLDD長が、フォトリソグラフィ技術により形成されるマスクを用いることなく、第3の導電膜43を異方的に加工してなりゲート配線層27の第1及び第2の導電層27a、27bの側面を覆う第3の導電層27cの垂直面の厚さにより微細且つ高精度に規制されるので、従来生じていたLDD長のばらつきを防止出来、所望のLDD長を容易に得られ、ポリシリコンTFT17は、移動度やしきい値電圧等のばらつきを生じることなく、安定した駆動特性を得られ、液晶表示装置16の表示品位の向上を図れる。

【0043】又、走査線(図示せず)及びこれと一体のゲート配線層27、ソース配線層33、信号線(図示せず)及びこれと一体のドレイン配線層32のすべての配線層が低抵抗のアルミニウム(Al)を主成分とすると共に、走査線(図示せず)及びこれと一体のゲート配線層27にあっては、アルミニウム(Al)からなる第1の導電層27aをチタン(Ti)からなる第2の導電層27b及びタングステン(W)からなる第3の導電層2

7cで被覆していることから、コンタクトホール31a、31b形成時に腐食を生じたり、加熱加工時にヒロックを生じる事無く、信頼性及び耐久性を損なう事無く配線層の低抵抗化を実現出来、液晶表示装置16の大表示画面化も可能とされる。

【0044】しかも、アルミニウム(Al)からなる第1の導電層27aを、チタン(Ti)及びタングステン(W)にて被覆してなる走査線(図示せず)及びこれと一体のゲート配線層27は、フォトリソグラフィ技術による形成時に比し、線幅を細く出来、液晶表示装置16の開口率の向上も図れる。

【0045】尚本発明は上記実施の形態に限られるものでなく、その趣旨を変えない範囲での変更は可能であって、例えば、第1の導電層はアルミニウム(Al)に限定されず、アルミニウム(Al)を主成分としていれば、シリコン(Si)、銅(Cu)、タングステン(W)、チタン(Ti)、タンタル(Ta)等との合金であっても良いし、第2の導電層も、アルミニウム(Al)より高い融点を有するクロム(Cr)、モリブデン(Mo)、タングステン(W)、タンタル(Ta)等でも良く、又、層構造も単層に限らず、複数層としても良いし、第1の導電層にあっては、チタン(Ti)層あるいは、チタン/チタ化チタン(Ti/TiN)の積層の上にアルミニウム(Al)を主成分とする金属層を積層する等しても良いし第3の導電層も、アルミニウム(Al)より高い融点を有するクロム(Cr)、モリブデン(Mo)、チタン(Ti)、タンタル(Ta)等でも良い。更にこれら導電膜を含む配線層の成膜方法もスパッタ法に限らず、CVD法や真空蒸着法等であっても良いし、その膜厚も必要に応じて任意である。

【0046】更に第3の導電膜をエッチングする際のエッチングガスも限定されず、トリフルオロ/酸素(CHF₃/O₂)ガス等でもよく、第3の導電膜の金属に応じてより適正なガスを用い、例えばモリブデン(Mo)であればタングステン(W)に用いるのと同様の反応ガスが適当とされ、クロム(Cr)、チタン(Ti)、タンタル(Ta)であれば、塩素系(Cl₂)のガスが適当とされる。

【0047】

【発明の効果】以上説明したように本発明によれば、第3の導電膜を異方的に加工し、第1及び第2の導電膜の側面にのみ残し、この第3の導電膜をマスクにLDD領域を規定することにより、フォトリソグラフィ技術に比し、微細且つ高精度なLDD長を容易に得られ、従来生じていたLDD長のばらつきによる移動度やしきい値電圧等のばらつきを防止出来、安定した駆動特性を有するポリシリコンTFTを得られ、液晶表示装置の表示品位を向上できる。

【0048】又アルミニウム(Al)を主成分とする第1の導電層を耐久性の良い金属からなる第2、第3の導

11

電層で被覆してなる配線層を用いる事により、低抵抗で有りながら腐食やヒロックを生じることなく信頼性、耐久性に優れ且つ配線幅の狭い配線を得られ、大表示画面の液晶表示装置への適用においても、表示むらを生じたり開口率低下を生じること無く良好な表示品位を得られ、大型液晶表示装置への適用も可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態の液晶表示装置を示す概略断面図である。

【図2】本発明の実施の形態のポリシリコンTFTを示す概略断面図である。

【図3】本発明の実施の形態のポリシリコンTFTの製造工程を示し、(イ)はその半導体層のパターニング時、(ロ)はゲート絶縁膜形成時、(ハ)は第1及び第2の導電膜形成時、(ニ)は第1及び第2の導電層のパターニング時、(ホ)はLDD領域のドーピング時、(ヘ)は第3の導電膜成膜時、(ト)は第3の導電層の異方形成時、(チ)はソース・ドレイン領域ドーピング時、(リ)は層間絶縁膜形成時、(ヌ)はコンタクトホール形成時、(ル)は画素電極形成時、(ヲ)はソース配線層及びドレイン配線層形成時を示す概略説明図である。

【図4】従来のポリシリコンTFTの製造工程を示し、(イ)はその半導体層のパターニング時、(ロ)はLDD領域ドーピング時、(ハ)はソース・ドレイン領域ド

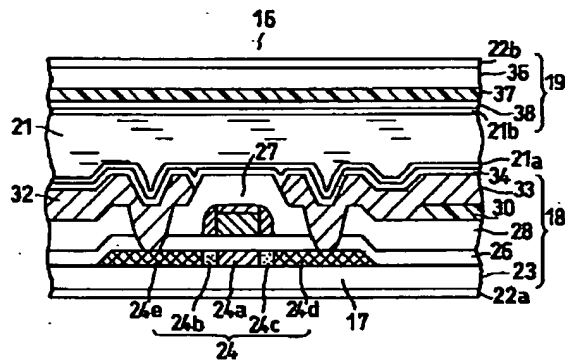
12

ーピング時、(ニ)は層間絶縁膜形成時、(ホ)はソース電極及びドレイン電極形成時を示す概略説明図である。

【符号の説明】

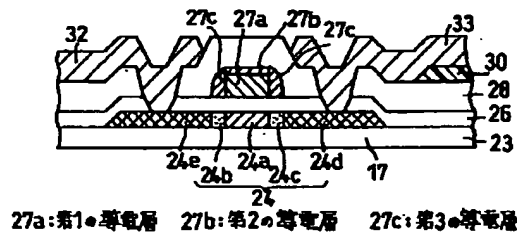
- 16…液晶表示装置
- 17…ポリシリコンTFT
- 18…アレイ基板
- 19…対向基板
- 21…液晶組成物
- 24…半導体層
- 24a…チャネル領域
- 24b、24c…LDD領域
- 24d…ソース領域
- 24e…ドレイン領域
- 26…ゲート絶縁膜
- 27…ゲート配線層
- 27a…第1の導電層
- 27b…第2の導電層
- 27c…第3の導電層
- 31a、31b…コンタクトホール
- 32…ドレイン配線層
- 33…ソース配線層
- 41…第1の導電膜
- 42…第2の導電膜
- 43…第3の導電膜

【図1】



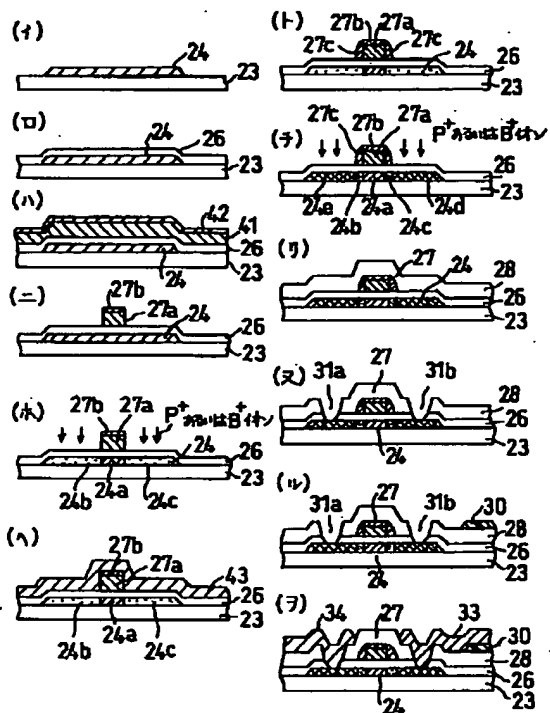
- 16: 液晶表示装置
- 17: ポリシリコンTFT
- 18: アレイ基板
- 19: 対向基板
- 21: 液晶組成物
- 24: 半導体層
- 24a: チャネル領域
- 24b, 24c: LDD領域
- 24d: ソース領域
- 24e: ドレイン領域
- 27: ゲート配線層

【図2】

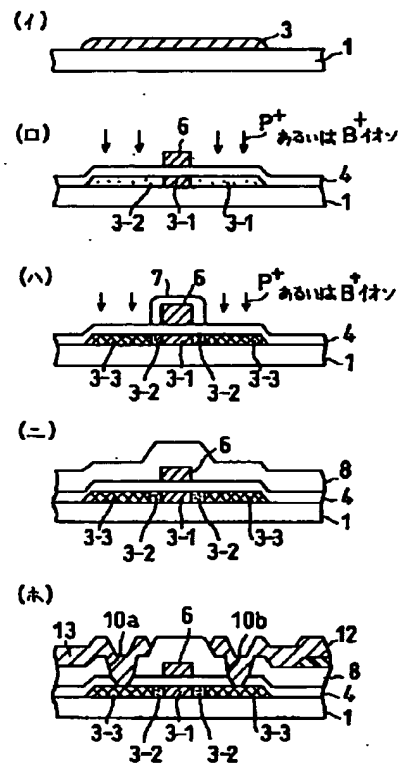


- 27a: 第1導電層
- 27b: 第2導電層
- 27c: 第3導電層

【図3】



【図4】



フロントページの続き

(51)Int. Cl.⁶

識別記号

FI
H01L 29/78616V
617M

DERWENT-ACC-NO: 1999-273752
DERWENT-WEEK: 199923
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Structure of polysilicon thin film transistor in liquid crystal display device - has source-drain wiring layers connected to source and drain areas via opening formed through gate insulating film and layer insulating film

PATENT-ASSIGNEE: TOSHIBA KK[TOKE]

PRIORITY-DATA: 1997JP-0237061 (September 2, 1997)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES	MAIN-IPC	
JP 11087716 A	March 30, 1999	N/A
008	H01L 029/786	

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP 11087716A	N/A	1997JP-0237061
September 2, 1997		

INT-CL (IPC): G02F001/136; H01L021/336 ; H01L029/786

ABSTRACTED-PUB-NO: JP 11087716A

BASIC-ABSTRACT: NOVELTY - A low impurity concentration area is interposed

between channel area (24a) and source-drain areas (24d,24e). The source-drain wiring layers (32,33) are connected to source and drain areas via an opening formed through gate insulating film (26) and layer insulating film. DETAILED

DESCRIPTION - An electron conducting layer (27c) of the gate wiring layer (27) is formed as a coating on the sides of two electron conducting layers (27a,27b). The electron conducting layer (27c) is made of metals like Cr, Mo, W, Ti and a tantalum metal. The electron conducting layer

(27a) made of aluminum, is formed on the channel area (24a) via gate insulating film. An layer insulating film is formed on upper part of gate wiring layer on insulating substrate. The electron conducting layer (27b) is laminated on electron conducting layer (27a), at low impurity concentration area. INDEPENDENT CLAIMS also included for the following: array substrate; liquid crystal display device manufacturing method.

USE - In liquid crystal display (LCD) devices.

ADVANTAGE - Obtains polysilicon TFT with stable drive characteristic, thereby improves display quality of LCD device. Improves reliability and endurance of wiring. DESCRIPTION OF DRAWING(S) - The figure shows schematic sectional view of polysilicon TFT. (24a) Channel area; (24d,24e) Source-drain areas; (26) Gate insulating film; (27) Gate wiring layer; (27a-27c) Electron conducting layers.

CHOSEN-DRAWING: Dwg.2/4

TITLE-TERMS:

STRUCTURE THIN FILM TRANSISTOR LIQUID CRYSTAL DISPLAY
DEVICE SOURCE DRAIN WIRE
LAYER CONNECT SOURCE DRAIN AREA OPEN FORMING THROUGH GATE
INSULATE FILM LAYER
INSULATE FILM

DERWENT-CLASS: L03 P81 U12 U14

CPI-CODES: L03-G05A; L04-C10B; L04-C13B; L04-E01;

EPI-CODES: U12-B03A; U12-D02A4; U14-K01A2B;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C1999-080712

Non-CPI Secondary Accession Numbers: N1999-205310

* NOTICES *

JP-11-87716

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the array substrate for liquid crystal displays which comes to use the manufacture method of the TFT equipment which has the semiconductor layer which consists of contest polysilicon (P-Si), and TFT equipment, and this TFT equipment.

[0002]

[Description of the Prior Art] As TFT equipment (it calls for short Following TFT.) used for the drive circuit of a liquid crystal display, since it has ** RI and a good semiconductor property with high mobility, the polysilicon contest TFT which has the semiconductor layer which consists of contest polysilicon (P-Si) conventionally is developed.

[0003] It is easy to concentrate electric field on a part for a joint with the source drain field carries out high concentration pouring of the channel field and the impurity of both sides of a semiconductor layer when this polysilicon contest TFT is able to give comparatively big drain voltage by the ON state, and it low-comes [resistance]-izing [field], and the hot electron and hot hole which are the carrier accelerated by this electric field are easy to be generated. Since this hot electron and hot hole had very high energy, they had a possibility of reducing the reliability of the polysilicon contest TFT, and endurance, such as barring the stable operation, or trespassing upon the interior of the gate insulator layer which insulates between a semiconductor layer and a gate wiring layer, and it being accumulated, fluctuating the threshold voltage of the polysilicon contest TFT, causing avalanche descent, and destroying a gate insulator layer and a source drain field.

[0004] Then, in order to improve the reliability and endurance of such a polysilicon contest TFT and to acquire a good property, The low high-impurity-concentration field where high impurity concentration is low between a channel field and a source drain field, and generally has the middle resistance of a channel field and a source drain field rather than a source drain field in it (it is called a LDD field for short below.) It forms, the electric-field concentration by part for a joint with a channel field and a source drain field is eased, and the polysilicon contest TFT which prevents generating of a hot electron or a hot hole is developed.

[0005] In this LDD field, about 0.1-0.5 micrometers is made desirable so that the LDD length who is the length may be indicated by JP,5-72555,A. It is supposed that it is important that this sets up the concentration of an impurity in the middle of a channel field and a source drain field in a LDD field. If a LDD field is long in the direction of a cross section since the contact obstruction over the carrier formed in a part for the joint of a channel field and a source drain field is reduced and electric-field concentration is made to ease when not preparing a LDD field For the ***** reason which lowers the series resistance component of the polysilicon contest TFT, it is because it is supposed that as short the one as possible is desirable.

[0006] As for the resistance of a source drain field, it is desirable that it is 2% or less of the resistance of the channel field in the ON state of the polysilicon contest TFT so that it may specifically be indicated by the Japanese-Patent-Application-No. No. 249835 [seven to] official report. Although it is based also on the electrolysis effect mobility and size of the polysilicon contest TFT itself in order to obtain such resistance, since the resistance of the channel in the ON state of the polysilicon contest TFT is about 50kohm, as for the resistance of a source drain field, less than [1kohm] is good. When the electrical resistivity of a LDD field carries out to about [0.1ohms] m, LDD length has desirable 0.5 micrometers or less. Moreover, considering the stability of the process at the time of manufacture, and repeatability, the minimum of LDD length has desirable 0.1 micrometers or more.

[0007] And it was manufactured, as it was conventionally shown in drawing 4, in order to obtain the polysilicon contest TFT which has a LDD field. That is, as shown in ** drawing 4 (b), the laminating of the amorphous silicon film is carried out on a glass substrate 1, and the semiconductor layer 3 which crystallizes an amorphous silicon film on a polysilicon contest film, carries out patterning to the shape of a matrix, and consists of a polysilicon contest film by laser annealing is formed.

[0008] ** As shown in the drawing 4 (**), form the gate insulator layer 4 and the gate wiring 6, dope impurities, such as the Lynn (P+) ion and boron (B+) ion, in a low dose, and form the channel field 3-1 and the LDD field 3-2 in the semiconductor layer 3.

[0009] ** As shown in the drawing 4 (**), form the photosensitive resist mask 7, dope impurities, such as the Lynn (P+) ion and boron (B+) ion, in a high dose, and form the source drain field 3-3 in the semiconductor layer 3.

[0010] ** Remove a mask 7, as shown in the drawing 4 (d), and form the layer insulation film 8.

[0011] ** As shown in the drawing 4 (e), contact holes 10a and 10b were formed, the source electrode 12 and the drain electrode 13 were formed, and polysilicon contest TFT 14 equipment which has a LDD field was completed.

[0012]

[Problem(s) to be Solved by the Invention] When forming a LDD field using a resist mask as mentioned above, however, with the present photolithography technology Produce the error whose precision of the superposition at the time of resist mask formation is about $2 \mu\text{m}$, and in spite of making about $0.1\text{--}0.5 \mu\text{m}$ desirable, LDD length The case where about a maximum of $2 \mu\text{m}$ of LDD length differ by the source field and drain field side is produced. in such a polysilicon contest TFT By the polarity of the drain voltage which carries out a seal of approval, transistor characteristics changed, and liquid crystal could not be driven stably, but the problem that display grace deteriorated was produced.

[0013] On the other hand, if shown in a liquid crystal display, development of highly minute and the equipment which constitutes a wiring layer from aluminum (aluminum) of low resistance since display unevenness will be produced by enlargement by the demand of the large display screen, if wiring resistance of the wiring layer of the polysilicon contest TFT increases of $2 \mu\text{m}$ is furthered. However, when it is easy to corrode aluminum (aluminum) and passes like a heat process, the irregularity called hillock arises to the circumference of a wiring layer, and it has the problem of being easy to cause the short-circuit between wiring. Then, making a wiring layer into a laminated structure with the metal membrane which consists of an aluminum (aluminum) film, the chromium (Cr) which covers aluminum (aluminum), molybdenum (Mo), a tungsten (W), titanium (Ti), tantalums (Ta), or these alloys so that it may be indicated by JP,6-120503,A etc. is proposed.

[0014] And after it carried out patterning of the wiring layer which consists of an aluminum (aluminum) film with photolithography technology, such [conventionally] a wiring layer formed the metal of further others, and it carried out patterning with photolithography technology and it formed it.

[0015] However, if it is in the present photolithography technology In order to cover with other metals completely the wiring layer which consists of aluminum (aluminum) As compared with the line breadth of (Aluminum aluminum) wiring layer, there was the need of making line breadth of other metals large [about $2 \mu\text{m}$ or more of one side], and it had the problem of wiring width of face having increased as a result, having fallen the numerical aperture of a liquid crystal display, and reducing display grace.

[0016] Then, while this invention obtains the liquid crystal display which removes the above-mentioned technical problem, stabilizes the drive property of contest LDD polysilicon by enabling control of LDD length minutely and with high precision, and has good display grace By attaining utilization of the polysilicon contest TFT which raises the reliability and endurance of a wiring layer which make aluminum (aluminum) a principal component, and has the wiring layer of low resistance It aims at offering the manufacture method of the TFT equipment which can obtain the liquid crystal display which has good display grace without display unevenness, and TFT equipment, and the array substrate for liquid crystal displays.

[0017]

[Means for Solving the Problem] As the 1st means for solving the above-mentioned technical problem, this invention An insulating substrate, It consists of contest polysilicon formed on this insulating substrate. The semiconductor layer which consists of a low high-impurity-concentration field which intervenes between the aforementioned channel field and the aforementioned source drain field on both sides of the source drain field which low-comes [resistance]-izing [contest the aforementioned polysilicon] across a channel field and this channel field, and the aforementioned channel field, the 1st conductive layer which is formed on the aforementioned channel field through a gate insulator layer, and makes aluminum (aluminum) a principal component -- and The gate wiring layer which consists of the 3rd conductive layer which is formed on the 2nd conductive layer by which a laminating is carried out to this 1st conductive layer, and the aforementioned low high-impurity-concentration field, and covers the side of the above 1st and the 2nd conductive layer, The layer insulation membrane layer which covers the aforementioned insulating substrate with this gate wiring layer upper part, and the source drain wiring layer connected to the aforementioned source drain field through opening formed in the aforementioned gate insulation membrane layer and the aforementioned layer insulation membrane layer are prepared.

[0018] Moreover, as the 2nd means for solving the above-mentioned technical problem, this invention constitutes the 2nd and 3rd conductive layers from a metallic material containing chromium (Cr), molybdenum (Mo), a tungsten (W), titanium (Ti), and at least one metal in a tantalum (Ta) in the 1st means of the above.

[0019] Moreover, the process which forms an island-like polysilicon contest layer on an insulating substrate as the 3rd means for this invention solving the above-mentioned technical problem, The process which forms a gate insulation membrane layer on the aforementioned insulating substrate in this polysilicon contest layer upper part, The process which carries out continuation membrane formation of the 1st electric conduction film and the 2nd electric conduction film through this gate insulation membrane layer in the aforementioned polysilicon contest layer upper part, The process which carries out pattern formation of the above 1st and the 2nd electric conduction film simultaneously, and forms the 1st conductive layer and the 2nd conductive layer, The process which carries out ion doping of these the 1st and 2nd conductive layers in the aforementioned polysilicon contest layer at a mask, and forms a low high-impurity-concentration field, The process which forms the 3rd electric conduction film on the conductive layer of the account 1st of process end back to front which forms this low high-impurity-concentration field, and the above 2nd, The process which forms the 3rd conductive layer which processes this 3rd electric conduction film in different direction, and covers only the side of the above 1st and the 2nd conductive layer, It is the object which carries out the process which uses the above 1st, the 2nd, and 3rd conductive layers as a mask, carries out ion doping and forms a source drain field in the aforementioned polysilicon contest layer.

[0020] Moreover, as the 4th means for solving the above-mentioned technical problem, this invention is set for the 3rd means of the above. The 1st electric conduction film is constituted from a metal which makes aluminum (aluminum) a principal component, and the 2nd and 3rd electric conduction films consist of metallic materials containing chromium (Cr), molybdenum

(Mo), a tungsten (W), titanium (Ti), and at least one metal in a tantalum (Ta).

[0021] As the 5th means for solving the above-mentioned technical problem, this invention Moreover, an insulating substrate, The 1st wiring layer arranged on this insulating substrate, and the 2nd wiring layer wired so that this 1st wiring layer may be intersected, The pixel electrode arranged in the shape of a matrix between the above 1st and the 2nd wiring layer, It has the switching element which is arranged by the intersection of the above 1st and the 2nd wiring layer, and is connected to the aforementioned pixel electrode. In the array substrate for liquid crystal displays which constitutes a liquid crystal display by pinching a liquid crystal constituent between the opposite substrates which have a counterelectrode It constitutes from the 3rd conductive layer which covers the side of the 2nd conductive layer by which a laminating is carried out to the 1st conductive layer which makes aluminum (aluminum) a principal component, and this 1st conductive layer in either [at least] the wiring layer of the above 1st, or the wiring layers of the above 2nd, the above 1st, and the 2nd conductive layer.

[0022] As the 6th means for solving the above-mentioned technical problem, this invention Moreover, an insulating substrate, The scanning-line layer arranged on this insulating substrate, and the signal-line layer wired so that this scanning-line layer may be intersected, The pixel electrode arranged in the shape of a matrix between the aforementioned scanning-line layer and the aforementioned signal-line layer, Contest the aforementioned polysilicon is formed into low resistance across the channel field which is arranged by the intersection of the aforementioned scanning-line layer and the aforementioned signal-line layer, and consists of contest polysilicon, and this channel field. The semiconductor layer which consists of a low high-impurity-concentration field which intervenes between the aforementioned channel field and the aforementioned source drain field on both sides of the becoming source drain field and the aforementioned channel field, The gate wiring layer which is formed on the aforementioned channel field through a gate insulator layer, and is formed in one with the aforementioned scanning line, The layer insulation membrane layer which covers the aforementioned insulating substrate with this gate wiring layer upper part, The source wiring layer which connects the aforementioned source field and the aforementioned pixel inter-electrode through opening formed in the aforementioned gate insulation membrane layer and the aforementioned layer insulation membrane layer, It has TFT equipment which has the aforementioned signal line which connects between the aforementioned drain field and the aforementioned signal line through opening formed in the aforementioned gate insulation membrane layer and the aforementioned layer insulation membrane layer, and the drain wiring layer formed in one, and drives the aforementioned pixel electrode. In the array substrate for liquid crystal displays which constitutes a liquid crystal display by pinching a liquid crystal constituent between the opposite substrates which have a counterelectrode It constitutes from the 3rd conductive layer which covers the side of the 2nd conductive layer by which a laminating is carried out to the 1st conductive layer which makes aluminum (aluminum) a principal component, and this 1st conductive layer in the aforementioned scanning-line layer and gate wiring layer which are formed in one at least, the above 1st, and the 2nd conductive layer.

[0023] By the above-mentioned composition, in the polysilicon contest TFT, desired detailed and high definition LDD length can be obtained easily, stabilization of a drive of the polysilicon contest TFT can be attained and good display grace can be obtained. Moreover, a hillock, corrosion, etc. of a wiring layer which make aluminum (aluminum) a principal component are prevented, and reliability and endurance can attain utilization of the high wiring layer of low resistance, and aim at application to a large-sized liquid crystal display.

[0024]

[Embodiments of the Invention] Hereafter, the gestalt of operation of this invention is explained with reference to drawing 1 or drawing 3 . 16 is an active-matrix type liquid crystal display, and it has polarizing plates 22a and 22b while it holds the liquid crystal constituent 21 through the orientation films 20a and 20b between the array substrate 18 which has the top gate type polysilicon contest TFT 17 using contest polysilicon as a semiconductor layer of a driver element, and the opposite substrate 19.

[0025] On the transparent insulating substrate 23 which consists of glass or a quartz of the array substrate 18 etc. here, pattern formation of the semiconductor layer 24 which has channel field 24a which consists of contest polysilicon of the polysilicon contest TFT 17, the LDD fields 24b and 24c where the Lynn (P+) ion of a low dose is doped, 24d of source fields where the Lynn (P+) ion of high DOSU is doped, and drain field 24e is carried out.

[0026] On this semiconductor layer 24, it consists of the 1st conductive-layer 27a which consists of aluminum (aluminum), the 2nd conductive-layer 27b which consists of titanium (Ti), and the 3rd conductive-layer 27c which consists of a tungsten (W) through the gate insulator layer 26 which consists of a silicon-oxide film (SiO₂), and the gate wiring layer 27 which is the 1st wiring layer and is formed in one with the scanning line (not shown) is formed. Furthermore, the pixel electrode 30 is formed through the layer insulation film 28 which consists of a silicon-oxide film (SiO₂).

[0027] It consists of molybdenum / aluminum / a molybdenum (Mo/aluminum/Mo) cascade screen on the layer insulation film 28. Connect with drain field 24e through contact hole 31a, and the signal line (not shown) which exists in the 2nd wiring layer which intersects perpendicularly with the scanning line (not shown), and the drain wiring layer 32 formed in one are formed. Furthermore, it consists of molybdenum / aluminum / a molybdenum (Mo/aluminum/Mo) cascade screen, and the source wiring layer 33 which connects between 24d of source fields and the pixel electrode 30 through contact hole 31b is formed. Moreover, 34 is a protective coat.

[0028] On the other hand, the opposite substrate 19 has a counterelectrode 37 and a protective coat 38 all over the transparent insulating substrate 36 which consists of glass or a quartz, encloses the liquid crystal constituent 21 between the array substrates 18, and constitutes the liquid crystal display 16.

[0029] Next, the manufacture method of the polysilicon contest TFT 17 is described.

[0030] (1) It is activated by the excimer laser annealing method, form contest polysilicon (P-Si), and carry out patterning of the

semiconductor layer 24 to the shape of a matrix according to a photolithography process further, after forming amorphous silicon (a-Si) with a thickness of 30-100nm by the plasma CVD method on an insulating substrate 23, as shown in the drawing 3 (**).

[0031] (2) As shown in (**), a silicon-oxide film (SiO₂) is formed 100nm in thickness by plasma CVD, and the gate insulator layer 26 is formed.

[0032] (3) 50nm continuation membrane formation of the 2nd electric conduction film 42 which consists further of titanium (Ti) the 1st electric conduction film 41 which consists of aluminum (aluminum) by the sputtering method as shown in (**) 400nm is carried out.

[0033] (4) As shown in the drawing 3 (d), carry out patterning of the 1st and 2nd electric conduction films 41 and 42 according to a photolithography process, and form the 1st and 2nd conductive layers 27a and 27b.

[0034] (5) With the ion-implantation which used the 1st and 2nd conductive layers 27a and 27b as the mask as shown in the drawing 3 (**), dope the Lynn (P+) ion or boron (B+) ion in a low dose in the semiconductor layer 24, and form the LDD fields 24b and 24c.

[0035] (6) Form the 3rd electric conduction film 43 which consists of a tungsten (W) by the sputtering method as shown in the drawing 3 (**) so that it may become 500nm in the level surface. Although it compares with the level surface, ***** becomes thin in a vertical plane and ***** to a vertical plane changes with conditions by the general sputtering method, the thickness of the 3rd electric conduction film 43 formed by the side of the 1st at this time and the 2nd conductive layer 27a and 27b is set to 300nm, and the thickness of the vertical plane of this 3rd electric conduction film 43 determines LDD length.

[0036] (7) As shown in the drawing 3 (**), form the 3rd electric conduction film 43 by the reactive-ion-etching method using a truffle RUORO bromomethane / oxygen (CF₃ Br/O₂). If this truffle RUORO bromomethane / oxygen (CF₃ Br/O₂) are used, since the polymer by the plasma polymerization deposits on a lateral portion, etching will be barred and an etching configuration will become different direction-like. Thereby, it can leave 3rd conductive-layer 27c which becomes only the side of the 1st and 2nd conductive layers 27a and 27b from a tungsten (W). The gate wiring layer 27 is formed of these [1st] or the 3rd conductive layer 27a-27c.

[0037] (8) With the ion-implantation which used the 1st or 3rd conductive layer 27a-27c as the mask as shown in the drawing 3 (**), dope the Lynn (P+) ion or boron (B+) ion in a high dose in the semiconductor layer 24, and form the source drain fields 24d and 24e. The 0.3-micrometer LDD length who is the width of face of 3rd conductive-layer 27c in the direction of a cross section by this is specified with high precision, and the semiconductor layer 24 of detailed LDD structure to which length was equal is formed.

[0038] (9) As shown in the drawing 3 (**), form a silicon-oxide film (SiO₂) 500nm in thickness by plasma CVD, and form the layer insulation film 28.

[0039] (10) As shown in the drawing 3 (**), form contact holes 31a and 31b by etching using HF (hydrofluoric acid) system etchant. 1st conductive-layer 27a which consists of aluminum (aluminum) of the gate wiring layer 27 is covered by the titanium (Ti) of the 2nd and 3rd conductive layers 27b and 27c, and the tungsten (W), and has the corrosion by etching prevented at this time.

[0040] (11) As shown in the drawing 3 (**), form an indium stannic-acid ghost (it calls for short Following ITO.) 100nm in thickness by the sputtering method, and carry out pattern formation of the pixel electrode 30 according to a photolithography process.

[0041] (12) As shown in the drawing 3 (**), carry out 50nm / 500nm / 50nm continuation membrane formation of molybdenum / aluminum / the molybdenum (Mo/aluminum/Mo) cascade screen by the sputtering method, carry out pattern formation of the drain wiring layer 32 formed in one with the source wiring layer 33 and the signal line which is not illustrated of a photolithography process, and complete the polysilicon contest TFT 17.

[0042] If constituted, thus, the LDD length of the LDD fields 24b and 24c of the semiconductor layer 24 Without using the mask formed by photolithography technology Since it comes to process the 3rd electric conduction film 43 in different direction and the thickness of the vertical plane of conductive-layer 27c of a wrap 3rd regulates the side of the 1st of the gate wiring layer 27, and the 2nd conductive layer 27a and 27b minutely and with high precision Dispersion of LDD length produced conventionally can be prevented, desired LDD length can be obtained easily, and without producing dispersion, such as mobility and threshold voltage, the polysilicon contest TFT 17 can acquire the stable drive property, and can aim at improvement in the display grace of a liquid crystal display 16.

[0043] Moreover, while all the wiring layers of the scanning line (not shown) and the gate wiring layer 27 of this and one, the source wiring layer 33, a signal line (not shown), and the drain wiring layer 32 of this and one make the aluminum (aluminum) of low resistance a principal component If it is in the scanning line (not shown) and the gate wiring layer 27 of this and one From having covered 1st conductive-layer 27a which consists of aluminum (aluminum) with 3rd conductive-layer 27c which consists of the 2nd conductive-layer 27b and the tungsten (W) which consist of titanium (Ti) Low resistance-ization of a wiring layer can be realized without spoiling reliability and endurance, without producing corrosion at the time of contact hole 31a and 31b formation, or producing a hillock in a heating processing thing, and large display screen-ization of a liquid crystal display 16 is also enabled.

[0044] And the gate wiring layer 27 of the scanning line (not shown) and this which come to cover with titanium (Ti) and a tungsten (W) 1st conductive-layer 27a which consists of aluminum (aluminum), and one is compared at the time of formation by photolithography technology, and can make line breadth thin, and improvement in the numerical aperture of a liquid crystal display 16 can also plan it.

[0045] In addition, if this invention is not restricted to the gestalt of the above-mentioned implementation, change in the range which does not change the meaning is possible, the 1st conductive layer is not limited to aluminum (aluminum) but aluminum (aluminum) is made into the principal component Silicon (Si), copper (Cu), a tungsten (W), titanium (Ti), The chromium with which you may be an alloy with a tantalum (Ta) etc., and the 2nd conductive layer also has the melting point higher than aluminum (aluminum) (Cr), If molybdenum (Mo), a tungsten (W), a tantalum (Ta), etc. are sufficient, and a layer structure is also good also not only as a monolayer but two or more layers and it is in the 1st conductive layer May carry out carrying out the laminating of a titanium (Ti) layer or the metal layer which makes aluminum (aluminum) a principal component on the laminating of titanium / CHITSU-ized titanium (Ti/TiN) etc., and the 3rd conductive layer The chromium (Cr) which has the melting point higher than aluminum (aluminum), molybdenum (Mo), titanium (Ti), a tantalum (Ta), etc. are sufficient. Furthermore, the membrane formation methods of the wiring layer containing these electric conduction film may also be not only a spatter but CVD, a vacuum deposition method, etc., and the thickness is also arbitrary if needed.

[0046] The etching gas at the time of furthermore *****ing the 3rd electric conduction film is not limited, either. Truffe RUORO / oxygen (CHF₃ / O₂) gas may be used, and more proper gas is used according to the metal of the 3rd electric conduction film. For example, if it is molybdenum (Mo), the reactant gas same with using for a tungsten (W) will be made suitable, and if it is chromium (Cr), titanium (Ti), and a tantalum (Ta), chlorine-based (Cl₂) gas will be made suitable.

[0047]

[Effect of the Invention] By processing the 3rd electric conduction film in different direction according to [as explained above] this invention, specifying remnants and this 3rd electric conduction film only on the side of the 1st and 2nd electric conduction films, and specifying a LDD field on a mask It compares with photolithography technology and detailed and highly precise LDD length can be obtained easily, dispersion by dispersion of LDD length produced conventionally, such as mobility and threshold voltage, can be prevented, the polysilicon contest TFT which has the stable drive property can be obtained, and the display grace of a liquid crystal display can be improved.

[0048] Moreover, by using the wiring layer which comes to cover the 1st conductive layer which makes aluminum (aluminum) a principal component with the 2nd which consists of a good metal of endurance, and the 3rd conductive layer Excel in reliability and endurance, and can obtain narrow wiring of wiring width of face, without producing corrosion and a hillock, being by low resistance, and it also sets to application to the liquid crystal display of the large display screen. Good display grace can be obtained without producing display unevenness or producing a numerical aperture fall, and application to a large-sized liquid crystal display also becomes possible.

[Translation done.]